

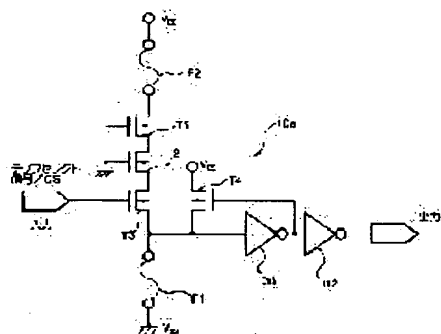
(11)Publication number : **11-168143**
(43)Date of publication of application : **22.06.1999**

H01L 21/82

(71)Applicant : HITACHI LTD
HITACHI HOKKAI SEMICONDUCTOR LTD

(72)Inventor : SUGIMURA YASUHIKO
UCHIUMI TETSUYA

SOLUTION: A redundant circuit 10a is constituted of a fuse F1 for redundancy, a fuse F2 for preventing a punch-through current, P-channel MOS transistors T1-T4, and inverters Iv1, Iv2. The fuse F1 of the redundancy circuit 10a corresponding to a bit performing relief is cut off with a laser beam or the like. The redundancy circuit 10a which does not perform relief cuts off the fuse F2 and prevents a punch-through current from flowing through the transistors T1-T3 by the fuse F2, even if the transistors T1-T3 are turned ON when a chip select signal/CS is active.



2003/07/29

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168143

(43)公開日 平成11年(1999)6月22日

(51) Int.Cl.⁸

H0 1 L 21/82

識別記号

FI

H O 1 L 21/82

R

審査請求 未請求 請求項の数 3 O.L. (全 5 頁)

(21)出願番号 特願平9-333789

(22)出願日 平成9年(1997)12月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72)発明者 杉村 康彦

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(72) 発明者 内海 哲也

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

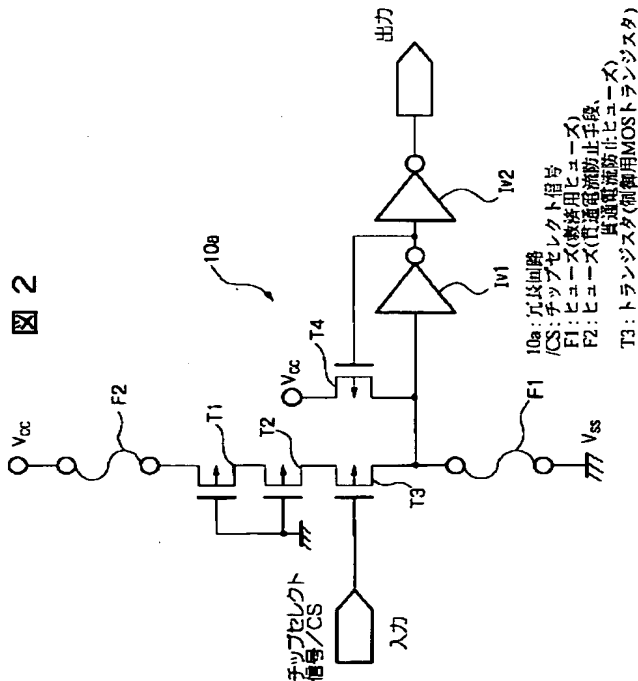
(74)代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 ビット救済を行わない冗長回路に流れる貫通電流を防止し、消費電力を大幅に低減する。

【解決手段】 冗長回路１０aは、冗長用のヒューズＦ１、貫通電流を防止するためのヒューズＦ２、ＰチャネルＭＯＳのトランジスタＴ１～Ｔ４およびインバータ１v１、１v２から構成され、救済を行うビットに対応する冗長回路１０aのヒューズＦ１をレーザビームなどによって切断する。また、救済を行わない冗長回路１０aはヒューズＦ２を切断し、チップセレクト信号／CSの活性時にトランジスタＴ１～Ｔ３がＯＮとなってもヒューズＦ２によりトランジスタＴ１～Ｔ３を介して流れる貫通電流を防止する。



Qa: 元々回路
CS: チップセレクト信号
F1: ヒューズ(数値用ヒューズ)
F2: ヒューズ(貫通電流防止手段、貫通電流防止ヒューズ)
T3: トランジスタ(倒順用MOSTランジスタ)

【特許請求の範囲】

【請求項1】 冗長ビットを有し、救済用ヒューズを切断することにより不良ビットを前記冗長ビットに置換する冗長回路に、置換を行わない前記冗長回路に流れる貫通電流を防止する貫通電流防止手段を設けたことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記貫通電流防止手段が、前記冗長回路に供給される電源電圧とチップセレクト信号が入力される制御用MOSトランジスタとの間に設けられた貫通電流防止ヒューズであることを特徴とする半導体集積回路装置。

【請求項3】 メモリセルの電気的特性を検査する検査工程と、前記検査工程により検出された不良ビットを冗長回路に設けられた救済用ヒューズを切断することにより冗長ビットに置換し、ビット救済を行うビット救済工程と、前記冗長回路に設けられた貫通電流防止ヒューズのうち、前記検査工程の結果によってビット救済が行われない前記貫通電流防止ヒューズのみを切断する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、SRAM (Static Random Access Memory) に設けられた冗長回路の消費電力の低減に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者が検討したところによれば、SRAMなどのメモリでは、メモリ素子において製造工程で作られる欠陥を救済する冗長回路が設けられている。

【0003】この冗長回路は、メモリ配列中に欠陥の行または列あるいはメモリセルが存在した場合、スベアの行や列を何本か用意しておき、欠陥部分に相当するアドレス信号が入ったとき、代わりにスベアの行や列を選択し、欠陥を含みながらも良品として使用することができるものである。

【0004】そして、冗長回路は、たとえば、レーザなどによってヒューズを切断し、半導体チップによってランダムに発生する欠陥個所に対応するアドレスをスベア部分に割つけることにより選択を行っている。

【0005】なお、この種の半導体装置について詳しく述べてある例としては、昭和62年2月10日、株式会社培風館発行、香山晋（編）、「超高速デジタル・デバイス・シリーズ 超高速MOSデバイス」P329～P331があり、この文献には、MOSメモリの冗長回路技術について記載されている。

【0006】

【発明が解決しようとする課題】ところが、上記のようなビット救済に用いられる冗長回路では、次のような問

題点があることが本発明者により見い出された。

【0007】すなわち、ビット救済を行わない冗長回路では、ヒューズの切断が行われないので、チップ選択信号であるチップセレクト信号が入力されて冗長回路の所定のトランジスタがONした場合に、メモリの動作電圧である電源電圧と基準電位であるグランド電位との間に貫通電流が流れてしまい、多数の冗長回路を有するメモリにおいては消費電力が増加してしまうという問題がある。

【0008】本発明の目的は、ビット救済を行わない冗長回路に流れる貫通電流を防止し、消費電力を大幅に低減することのできる半導体集積回路装置およびその製造方法を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明の半導体集積回路装置は、冗長ビットを有し、救済用ヒューズを切断することにより不良ビットを該冗長ビットに置換する冗長回路に、置換を行わない冗長回路に流れる貫通電流を防止する貫通電流防止手段を設けたものである。

【0012】また、本発明の半導体集積回路装置は、前記貫通電流防止手段が、冗長回路に供給される電源電圧とチップセレクト信号が入力されるMOSトランジスタとの間に設けられた貫通電流防止用ヒューズよりなるものである。

【0013】さらに、本発明の半導体集積回路装置の製造方法は、メモリセルの電気的特性を検査する検査工程と、その検査工程により検出された不良ビットを冗長回路に設けられた救済用ヒューズを切断することにより冗長ビットに置換し、ビット救済を行うビット救済工程と、冗長回路に設けられた貫通電流防止ヒューズのうち、検査工程の結果によってビット救済が行われない貫通電流防止ヒューズのみを切断する工程とを有するものである。

【0014】以上のことにより、ビット救済を行わない冗長回路の貫通電流を防止することができ、製品となる半導体集積回路装置の消費電力を大幅に低減することができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0016】図1は、本発明の一実施の形態によるメモリのブロック図、図2は、本発明の一実施の形態によるメモリに設けられた冗長回路の回路図、図3は、本発明の一実施の形態によるメモリ1の冗長回路におけるビッ

ト救済のフローチャートである。

【0017】本実施の形態において、SRAMであるメモリ（半導体集積回路装置）1は、記憶の最小単位であるメモリセルが規則正しくアレイ状に並べられてメモリマット2が設けられている。

【0018】また、メモリマット2には、ワード線に選択パルス電圧を与えるロードライバ3が接続され、その後段には、メモリマット2の内、ロー（行）方向のワード線を選択し、該ロードライバにその選択信号を出力するローデコーダ4が接続されている。

【0019】さらに、メモリマット2には、セル読み出し信号を増幅するセンスアンプ5が接続されており、該センスアンプ5には、ビット線に選択パルス電圧を与えるカラムドライバ6が接続されている。また、カラムドライバ6の後段には、カラム（列）方向のビット線を選択し、該カラムドライバ6にその選択信号を出力するカラムデコーダ7が接続されている。

【0020】そして、ローデコーダ4には、ローアドレスバッファ8が接続されており、該ローアドレスバッファ8には、ロー方向のアドレス信号がメモリ1外部から入力されており、それぞれの内部アドレス信号を発生させてローデコーダ4に出力を行っている。

【0021】また、カラムデコーダ7には、カラムアドレスバッファ9が接続されており、このカラムアドレスバッファ9は、メモリ1外部から入力されるカラム方向のアドレス信号に基づいて、それぞれの内部アドレス信号を発生させてカラムデコーダ7に出力を行っている。

【0022】ローデコーダ4には、冗長救済部10が接続されており、該冗長救済部10は、メモリセルまたはメモリラインをスペアの行や列、すなわち、冗長ワード線ならびに冗長ビット線を任意のヒューズを切断することにより選択し、冗長ビットに置き換えて救済する。

【0023】また、センスアンプ5および冗長救済部10には、制御回路11が接続されている。この制御回路11は、データ入力バッファ12とデータ出力バッファ13とCSバッファ14とも接続されている。

【0024】データ入力バッファ12は、メモリ1外部から入力されたデータを所定のタイミングにより取り込み、データ出力バッファ13は、メモリ1外部に出力されるデータを所定のタイミングによって出力し、CSバッファ14は、メモリ1外部から入力されるチップセレクト信号／CSを所定のタイミングによって取り込む。

【0025】また、制御回路11は、データ入力バッファ12、データ出力バッファ13ならびにCSバッファ14により入出力されるデータの制御を行い、この入出力制御回路11を介してセンスアンプ5とデータ入力バッファ12、データ出力バッファ13とのデータのやり取り、およびCSバッファ14から冗長救済部10へのチップセレクト信号／CSの出力が行われる。

【0026】次に、冗長救済部10の回路構成について

図2を用いて説明する。

【0027】冗長救済部10は、冗長用のヒューズ（救済用ヒューズ）F1、貫通電流を防止するためのヒューズ（貫通電流防止手段、貫通電流防止ヒューズ）F2、PチャネルMOSトランジスタであるトランジスタT1、T2、T4、トランジスタ（制御用MOSトランジスタ）T3およびインバータIv1、Iv2からなる冗長回路10aから構成されており、これらの冗長回路10aは、救済される各々のワード線毎に1回路が設けられている。

【0028】ヒューズF2の一方の接続部には、電源電圧Vccが電気的に接続されており、他方の接続部にはトランジスタT1の一方の接続部が電気的に接続されている。トランジスタT1の他方の接続部は、トランジスタT2の一方の接続部と電気的に接続されており、それぞれのトランジスタT1、T2のゲートは、グランド電位Vssと電気的に接続されている。また、これらトランジスタT1、T2は電流制限用として設けられている。

【0029】さらに、トランジスタT2の他方の接続部は、トランジスタT3の一方の接続部と電気的に接続され、他方の接続部は、ヒューズF1の一方の接続部と電気的に接続されている。このトランジスタT3のゲートには、制御回路11（図1）を介して出力されるチップセレクト信号／CSが入力されるように電気的な接続が行われている。

【0030】また、トランジスタT3の他方の接続部には、ヒューズF1の一方の接続部、インバータIv1の入力部ならびにトランジスタT4の他方の接続部がそれぞれ電気的に接続されている。

【0031】さらに、ヒューズF1の他方の接続部は、グランド電位Vssと電気的に接続され、トランジスタT4の一方の接続部は、電源電圧Vccが供給されている。インバータIv1の出力部は、トランジスタT4のゲート、およびインバータIv2の入力部と電気的に接続されており、このインバータIv2の出力により予備ラインにパルスが出力されることになる。

【0032】次に、メモリ1の冗長回路10aにおけるビット救済の工程について、図2および図3のフローチャートを用いて説明する。

【0033】まず、半導体ウエハ上に半導体素子や配線層が形成され、最上配線層の上部に配線層を保護する絶縁膜が形成されると、各々の半導体チップにおける電子回路やメモリセルなどの電気的特性の検査を行うプローブテストを行う（ステップS101）。

【0034】そして、このプローブ検査により、メモリセルにおけるリード／ライトテストならびにリフレッシュ特性のテストを行い、不良ビットを検出する（ステップS102）。

【0035】前述したプローブテストにより検出された不良ビットを救済するために、救済を行うビットに対応

するヒューズF1のみを、たとえば、レーザビームを照射することによって切断し、不良ビットの救済を行う(ステップS103)。その後、救済を行わない冗長回路10aのヒューズF2のみをレーザビームによって切断し(ステップS104)、ビット救済を終了する。

【0036】ここで、ステップS103の工程とステップS104の工程との順序は、どちらを先に行ってもよく、ステップS104の工程を行ってからステップS103の工程を行ったり、あるいはステップS103の工程とステップS104の工程とを一度に行うようにしてもよい。

【0037】次に、冗長回路10aの回路動作について説明する。

【0038】ヒューズF1が切断された冗長回路10aの場合、ヒューズF2は切断されていないので、このヒューズF2を介してトランジスタT1の一方の接続部に電源電圧Vccが供給される。

【0039】また、トランジスタT1、T2のゲートは、グランド電位Vssに接続されているので常時ONとなっており、これらトランジスタT1、T2によって電圧をドロップさせ、ワード線電位を生成している。

【0040】さらに、トランジスタT3のゲートに入力されるチップセレクト信号/CSは、活性時、すなわち、データのリード/ライトを行う場合にはLo信号となり、非活性時、すなわち、スタンバイ状態ではHi信号となる、いわゆる'アクティブLo'となっている。

【0041】そして、チップセレクト信号/CSが活性化し、トランジスタT3のゲートにLo信号が入力されると、トランジスタT3はONとなり、Hi信号が出力される。

【0042】また、ヒューズF1は切断されているので、このHi信号がインバータIv1の入力部に入力され、インバータIv1の出力部からLo信号が出力される。出力されたLo信号は、トランジスタT4のゲートおよびインバータIv2の入力部に入力される。

【0043】トランジスタT4は、Lo信号がゲートに入力されることによりONとなり、インバータIv2からは反転信号であるHi信号が出力され、予備ラインにパルスが出力されることになる。

【0044】一方、ヒューズF2が切断された救済を行わない冗長回路10aでは、該ヒューズF2が切断されているので電源電圧VccがトランジスタT1の一方の接続部に供給されず、インバータIv1の入力部にはヒューズF1を介してグランド電位Vssが入力されている。

【0045】よって、チップセレクト信号/CSがLo信号またはHi信号のいずれの場合であってもインバータIv2の出力は、絶えずLo信号となる。また、チップセレクト信号/CSがLo信号の場合には、トランジスタT1～T3のすべてがONとなるが、ヒューズF2が切断されているのでトランジスタT1～T3を介して

流れる貫通電流を防止することができる。

【0046】この場合、1つの冗長回路10aでは貫通電流は少ないが、多数の冗長回路10aによって構成された冗長救済部10全体では、消費電力を大幅に低減することになり、冗長回路10aの回路数が多いほど効果的である。

【0047】それにより、本実施の形態では、冗長回路10aにヒューズF1を設け、救済を行わない冗長回路10aのヒューズF1を切断することにより、チップセレクト信号/CSが活性化された場合でも確実に貫通電流を防止でき、メモリ1におけるデータのリード/ライト時の消費電流を大幅に低減することができる。

【0048】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0049】たとえば、前記実施の形態では、ヒューズをレーザビームを照射することによって切断していたが、これらヒューズの切断はレーザビームの照射以外にもよく、収束イオンビームなどを用いてヒューズを切断するようにしてもよい。

【0050】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0051】(1)本発明によれば、貫通電流防止手段により、救済を行わない冗長回路の貫通電流を確実に防止することができる。

【0052】(2)また、本発明では、貫通電流防止手段に貫通電流防止ヒューズを用いることにより、簡単に、かつ低コストで貫通電流防止手段を構成することができる。

【0053】(3)さらに、本発明においては、上記(1)、(2)により、半導体集積回路装置の消費電力を大幅に低減し、性能を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態によるメモリのブロック図である。

【図2】本発明の一実施の形態によるメモリに設けられた冗長回路の回路図である。

【図3】本発明の一実施の形態によるメモリ1の冗長回路におけるビット救済のフローチャートである。

【符号の説明】

- 1 メモリ(半導体集積回路装置)
- 2 メモリマット
- 3 ロードライバ
- 4 ローデコーダ
- 5 センスアンプ
- 6 カラムドライバ

- F1 ヒューズ（救済用ヒューズ）
F2 ヒューズ（貫通電流防止手段、貫通電流防止ヒューズ）
T3 トランジスタ（制御用MOSトランジスタ）
T1, T2, T4 トランジスタ
Iv1, Iv2 インバータ
/CS チップセレクト信号
VCC 電源電圧
VSS グランド電位

【図 3】

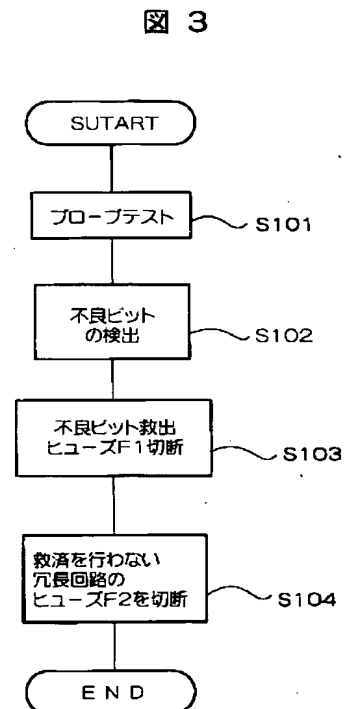


图 2

